



**IA Title: Serdes Frammer Interface Level 5 Phase 2 (SFI-5.2):  
Implementation Agreement for 40Gb/s Interface for Physical Layer  
Devices.**

**IA # OIF-SFI5-02.0**

**2 октября 2006 г.**

Соглашение разработано и одобрено  
Optical Internetworking Forum  
[www.oiforum.com](http://www.oiforum.com)

OIF является международной некоммерческой организацией, в состав которой входят более 100 компаний, включая мировых лидеров среди операторов и производителей оборудования. Будучи единственной группой, объединяющей представителей сетей передачи данных и оптических сетей, OIF помогает продвигать стандарты и методы для оптических сетей. Целью OIF является ускорение развёртывания интероперабельных, экономически эффективных и надёжных оптических сетей и связанных с ними технологий. OIF активно поддерживает и дополняет работу национальных и международных органов стандартизации с целью содействия общемировой совместимости оптической продукции для оптических сетей. Установлены рабочие отношения или официальные связи с IEEE 802.3, IETF, ITU-T Study Group 13, ITU-T Study Group 15, IPv6 Forum, MFA Forum, MEF, MVA, ATIS OPTXS, ATIS TMOС, Rapid I/O, TMF, UXPi и XFP MSA Group.

Контактная информация.

The Optical Internetworking Forum, 39355 California Street,

Suite 307, Fremont, CA 94538

510-608-5928 ♦ [info@oiforum.com](mailto:info@oiforum.com)

[www.oiforum.com](http://www.oiforum.com)

Примечание. Этот технический документ был создан в Optical Internetworking Forum (OIF). Документ предлагается членам OIF исключительно в качестве базового соглашения и не связан с предложениями указанных выше компаний. OIF оставляет за собой право расширения, изменения или отзыва содержащихся в документе заявлений. Никакая часть документа не является обязательной для OIF или членов организации.

Обращаем внимание пользователей на возможность того, что реализация представленного здесь соглашения OIF потребует использования изобретений, защищённых патентами третьих сторон. Публикуя это соглашение о реализации, OIF не делает каких-либо заявлений и не даёт гарантий (явно или неявно) того, что реализация соглашения не будет нарушать каких-либо прав третьих лиц (выраженных или подразумеваемых), равно как OIF не делает никаких заявлений и не даёт никаких гарантий в части требований, которые могут быть предъявлены третьей стороной, действия патентных прав, связанных с такими требованиями, или лицензий на использование таких прав.

© 2006 Optical Internetworking Forum

Этот документ и его переводы могут копироваться и предоставляться другим лицам, а производные работы, которые комментируют или иным способом разъясняют документ или способствуют его реализации могут разрабатываться, копироваться, публиковаться и распространяться целиком или частично без каких-либо ограничений, кроме (1) указания авторских прав и включения данного параграфа во все такие копии и производные работы, а также (2) сам этот документ не может быть тем или иным способом изменён с удалением информации об авторских правах и ссылок на OIF, за исключением случаев, когда это требуется для разработки документов OIF Implementation Agreement.

Загружая, копируя или используя этот документ иным способом, пользователь соглашается с условиями данного уведомления. Если условия этого уведомления не нарушаются пользователем, предоставленные ему ограниченные полномочия являются бессрочными и не будут отменены OIF или его наследниками и правопреемниками.

Этот документ и содержащаяся в нем информация представлены «КАК ЕСТЬ» (AS IS) и OIF ОТКАЗЫВАЕТСЯ ОТ КАКИХ-ЛИБО ГАРАНТИЙ, ВЫРАЖЕННЫХ ИЛИ ПОДРАЗУМЕВАЕМЫХ, ВКЛЮЧАЯ (НО НЕ ОГРАНИЧИВАЯСЬ) ЛЮБЫЕ ГАРАНТИИ ТОГО, ЧТО ИСПОЛЬЗОВАНИЕ ПРИВЕДЁННОЙ ЗДЕСЬ ИНФОРМАЦИИ НЕ НАРУШАЕТ КАКИЕ-ЛИБО ПРАВА, А ТАКЖЕ ГАРАНТИИ КОММЕРЧЕСКОЙ ЦЕННОСТИ ИЛИ ПРИГОДНОСТИ ДЛЯ КАКИХ-ЛИБО КОНКРЕТНЫХ ЦЕЛЕЙ.

Рабочая группа Physical and Link Layer (PLL) Working Group

Название Serdes Framers Interface Level 5 Phase 2 (SFI-5.2): Implementation for 40Gb/s Interface for Physical Layer Devices.

Agreement

Технический редактор

Klaus-Holger Otto

Lucent Technologies

Thurn-und-Taxis-Str. 10

90411 Nuremberg, Germany

Phone: +49 911 526 3594

Email: [khotto@lucent.com](mailto:khotto@lucent.com)

WORKING GROUP VICE CHAIR

Karl Gass

Sandia National Laboratories

P. O. Box 5800 MS-0874

Albuquerque, NM 87185

Phone: (505) 844-8849

Email: [kgass@sandia.gov](mailto:kgass@sandia.gov)

Руководитель рабочей группы

David R. Stauffer, Ph. D.

IBM Corporation

1000 River Road, MC 862J

Essex Jct., VT 05452

Phone: (802) 769-6914

Email: [dstauffe@us.ibm.com](mailto:dstauffe@us.ibm.com)

Аннотация. Это соглашение о реализации (Implementation Agreement) описывает интерфейс между устройствами Serdes и Framers в рамках физического уровня (Serdes Framers Interface или SFI). SFI-5.2 является интерфейсом, основанным на 4 линиях данных и канале компенсации перекосов (deskew) для передачи данных OC-768, STM-256, OTN OTU3, а также для других приложений со скоростью передачи данных 40 Гбит/с.

# 1 Оглавление

4 История выпусков.....	5
5 Введение.....	6
5.1 Эталонная модель системы SFI-5 фазы 2.....	6
5.2 Общее описание SFI-5 фазы 2.....	6
6 Определения сигналов.....	7
6.1 Приёмные сигналы.....	7
6.2 Передаваемые сигналы.....	8
7 Логическая эталонная модель.....	8
7.1 Приёмный интерфейс Serdes.....	8
7.2 Передающий интерфейс Serdes.....	9
7.3 Приёмный интерфейс процессора FEC/блока кадрирования.....	9
7.4 Передающий интерфейс процессора FEC/блока кадрирования.....	10
8 Устранение перекосов битовых линий SFI-5.2.....	10
8.1 Приёмный интерфейс Deskew.....	11
8.2 Бюджет перекоса на интерфейсе.....	11
9 Проблема слова выравнивания кадра OC-768/STM-256.....	11
9.1 Описание проблемы.....	11
9.2 Инверсия 5 полубайтов (нечётная половина кадра deskew).....	12
10 Разводка контактов для оптимизации печатных плат SFI-5.....	12
11 Требования к тестированию интерфейса.....	13
12 Ссылки.....	13
12.1 Нормативные документы.....	13
12.2 Дополнительная литература.....	13
13 Приложение А. Полный бюджет Jitter/Wander/Skew.....	13
14 Приложение В. Глоссарий.....	14
15 Приложение С. Нерешенные проблемы и продолжение работ.....	14
16 Приложение D. Список компаний, входивших в OIF на момент одобрения документа.....	14

## 2 Список рисунков

Рисунок 1. Эталонная модель системы.....	6
Рисунок 2. Serdes - приёмный интерфейс.....	8
Рисунок 3. Синхронизация канала Deskew.....	9
Рисунок 4. Serdes - интерфейс передачи.....	9
Рисунок 5. Модель процессора FEC/блока кадрирования SONET - приёмный интерфейс.....	9
Рисунок 6. Модель процессора FEC/блока кадрирования SONET - передающий интерфейс.....	10
Рисунок 7. Синхронизация канала RXDSC.....	11
Рисунок 8. Последовательности одинаковых цифр в нескремблированном кадре SONET/SDH.....	12
Рисунок 9. Выборка битов A1/A2 с инверсией в нечётной половине кадра deskew.....	12
Рисунок 10. Линии между устройством SFI-5.2 и приемопередатчиком.....	12
Рисунок 11. Соединение устройств SFI-5.2.....	13
Рисунок 12. Модель эталонной системы.....	13

## 3 Список таблиц

Таблица 1. Приёмные сигналы SFI-5.2.....	7
Таблица 2. Передаваемые сигналы SFI-5.2.....	8
Таблица 3. Эталонный кадр RXDSC/TXDSC.....	11
Таблица 4. Бюджет перекоса для канала между процессором FEC или блоком кадрирования и Serdes.....	11
Таблица 5. Бюджет перекоса для остальных применений интерфейса.....	11
Таблица 6. Полный бюджет Jitter/Wander/Skew.....	13

## 4 История выпусков

<i>Выпуск</i>	<i>Дата</i>	<i>Description</i>
OIF-SFI5-02.0	Октябрь 2006 г.	Текст соглашения о реализации (IA) создан на основе документа Draft IA oif2005.305.03 принятого голосованием (# 45).

## 5 Введение

Предполагается, что типовой линейный интерфейс коммуникационной системы с оптическими каналами 40 Гбит/с состоит из трёх отдельных устройств - оптического модуля с устройством Serdes<sup>1</sup>, процессора упреждающего контроля ошибок (FEC<sup>2</sup>) и блока кадрирования (Framer). Соединения между этими компонентами являются электрическими и максимальная скорость передачи данных в линиях будет меньше скорости передачи в оптической линии. Поэтому требуется мультибитовая шина для соединения компонент. Желательно, чтобы протокол этой шины соответствовал перечисленным ниже целям и требованиям.

1. Поддержка скорости до 44,4 Гбит/с для двухсторонней агрегатной передачи данных таких систем как SONET OC-768 [ 2], SDH STM-256 [ 3], OTN OTU3 [ 4] и другие системы, передающие данные со скоростью 40 Гбит/с с издержками FEC в 11%.
2. Интерфейс может использоваться для соединений «точка-точка» между блоком кадрирования и процессором FEC, блоком кадрирования и Serdes, процессором FEC и Serdes. Требования к электрическим параметрам и управлению одинаковы для всех вариантов соединений.
3. Интерфейс предназначен для обработки любых форматов данных, которые являются произвольными (например, путём скремблирования) .
4. Возможность использовать соединение FR4 с одним разъёмом и протяжённостью не менее 8 дюймов.
5. Интерфейс должен обеспечивать неограниченно долгую работу без потери синхронизации.
6. Должен поддерживаться упреждающий контроль ошибок (FEC) в основной полосе и по отдельному каналу. Гибкая система синхронизации с учётом издержек FEC.
7. Интерфейс должен быть независим от типа оптики (последовательная, CWDM или параллельная, многомодовая или одномодовая).
8. Поддержка компенсации «перекоса» сигналов, образующих шину интерфейса. Следует использовать алгоритм Deskew и оптимизированную к перекосам передачу для снижения сложности компонент Serdes.
9. Поддержка простой и отказоустойчивой синхронизации и восстановления данных для сигналов интерфейсной шины.
10. Интерфейс включает независимый мониторинг состояния и детектирование потери приёмного сигнала.
11. Непрерывная опорная синхронизация приёма независимо от состояния канала.
12. Приёмная сторона интерфейса должна быть устойчива к отключению питания (без повреждений).
13. Интерфейс включает проверку канала пути данных для тестирования компонент и целостности системы.

### 5.1 Эталонная модель системы SFI-5 фазы 2

Ниже приведён общий обзор интерфейса SFI уровня 5 фазы 2. Для справки на рисунке 1 приведена общая схема. SFI Level 5 Phase 2 представляет собой интерфейс между блоком Serdes процессором FEC и блоком кадрирования (Framer). Интерфейс предназначен для реализации требований этого конкретного приложения, хотя может применяться и для других задач. Receive (приём) и Transmit (передача) относятся к потоку данных и связанной с ними информации управления и состояния, которые передаются из линии в систему (optics-to-system) и обратно (system-to-optics), соответственно. Отметим, что два экземпляра шины SFI-5.2 на рисунке 1 независимы и могут работать с разными частотами.

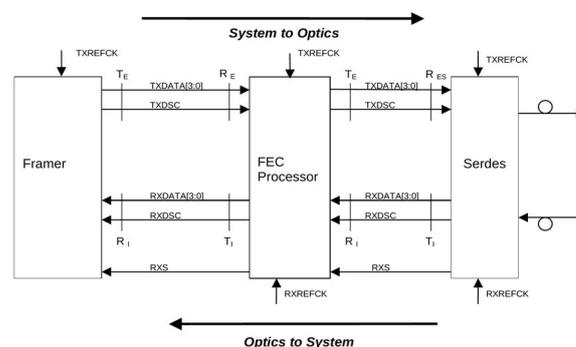


Рисунок 1. Эталонная модель системы.

Точки  $T_i$ ,  $R_i$ ,  $T_E$  и  $R_E/R_{ES}$  являются опорными точками, определёнными в базовой электрической спецификации OIF-CEI-02.0 11G+ SR [1].

### 5.2 Общее описание SFI-5 фазы 2

На приёмном и передающем интерфейсах сигналы управления и состояния передаются отдельно от соответствующего пути данных. С учётом возможных расхождений частоты синхронизации между потоками данных в разных направлениях интерфейсы приёма (Receive) и передачи (Transmit) работают независимо.

Общие характеристики шины SFI-5.2 перечислены ниже.

1. Соединения «точка-точка» организуются между Serdes и FEC, FEC и блоком кадрирования SONET/SDH или Serdes и блоком кадрирования SONET/SDH.

<sup>1</sup>Serial/deserial - устройство преобразования последовательных сигналов в параллельные и обратно. Прим. перев.

<sup>2</sup>Forward error correction.

2. 4-битовая шина данных использует в каждом канале скорость до 11,1 Гбит/с.
3. Электрические параметры определены общей спецификацией OIF-CEI-02.0 [1].
4. Максимальной пропускной способности шины 44,4 Гбит/с достаточно для поддержки SONET OC-768 [2], SDH STM-256 [3], OTN OTU3 [4] и других систем, работающих с потоками данных со скоростью 40 Гбит/с и 11% накладных расходов на FEC.
5. Канал Deskew, включенный в оба направления RX и TX, содержит выборки данных (out-of-band) для обеспечения работы алгоритма Deskew. Канал Deskew является пятым каналом, работающим непрерывно с полной скоростью передачи данных. Алгоритм Deskew будет выполнять непрерывный мониторинг «перекосов».
6. За счёт использования чередующегося формата чётности кадров (чётный-нечетный) на канале deskew гарантируется минимальная скорость переключения 1 раз на каждые 10 битов. Это может использоваться для восстановления синхронизации приёма SFI-5 на канале deskew и позволяет применять DLL вместо CDR на каналах данных.
7. Выбираемая инверсия битов данных в нечётной половине кадра deskew (5 циклов синхронизации) должна быть реализована для преодоления проблемы «длины прогона» (run length) кадров SONET/SDH.
8. Минимизация энергопотребления и числа сигналов ввода-вывода (I/O) для упрощения печатных плат.
9. Максимальное сходство направлений приёма и передачи, а также экземпляров разных приложений на шине.

## 6 Определения сигналов

### 6.1 Приёмные сигналы

Приёмные (Receive) сигналы связаны с доставкой данных из оптического кабеля в систему. Они применимы к передаче данных от блока Serdes к процессору FEC, от процессора FEC к блоку кадрирования (Framer) и от Serdes непосредственно в блок кадрирования. Все приёмные сигналы, если явно не указано иное, являются дифференциальными CML, как определено в OIF-CEI-02.0 [1].

Таблица 1. Приёмные сигналы SFI-5.2.

Сигнал	Направление	Назначение
RXDATA [3:0]	Из линии в систему	Сигналы принимаемых данных (RXDATA [3:0]) переносят данные из оптической линии в направлении системы. Данные из оптической линии Serial поочередно помещаются в RXDATA [3:0] в режиме перебора по кругу. RXDATA [3] содержит последний принятый бит. Когда сигнал RXDATA [3:0] генерируется блоком Serdes, 4-битовое слово RXDATA [3:0] имеет произвольное выравнивание по квартетам потока принимаемых оптических данных. Когда RXDATA [3:0] генерируется процессором FEC и 4-битовые слова выравниваются по полубайтам, RXDATA [3] содержит первый бит принятого полубайта, тогда как RXDATA [0] содержит последний бит принятого полубайта. Каждый сигнал RXDATA [#] является потоком со скоростью от 9,95 до 11,1 Гбит/с. Он содержит каждый 4-й бит потока данных. Опционально RXDATA[#] может инвертироваться в течение каждой нечётной половины кадра deskew для 5 выборок данных.
RXDSC	Из линии в систему	Сигнал RXDSC <sup>1</sup> обеспечивает опорные данные для измерения «перекоса» на шине данных приёма (RXDATA [3:0]). RXDSC содержит 10-битовые опорные кадры, состоящие из 4 однобитовых выборок каждого сигнала на шине данных Receive (RXDATA [3:0]), за которым следует бит чётности (нечётность), а затем ещё 4 однобитовых выборки каждого сигнала на шине данных Receive, за которыми следует бит чётности (чётность) четырёх выборок. Выборки берутся с шины данных Receive в режиме перебора по кругу (round-robin), начиная с RXDATA [3] и заканчивая RXDATA [0]. RXDSC представляет собой поток данных от 9,95 до 11,1 Гбит/с. В случае необязательной инверсии данных (см. параграф 9.2) выборки выполняются после инверсии.
RXREFCK	Из линии в систему	Сигнал RXREFCK <sup>2</sup> обеспечивает синхронизацию для приёмного интерфейса (Receive). RXREFCK номинально составляет 50% рабочего цикла с частотой в 1/16 от скорости передачи данных RXDATA и RXDSC. В процессоре FEC сигнал RXREFCK является опорной частотой для RXDATA и RXDSC. Вариации (Jitter) RXREFCK не связаны напрямую с совместимостью и выходят за рамки этой спецификации. Реализация RXREFCK обязательна для Serdes и FEC, но не требуется для Framer. В некоторых реализациях RXREFCK может иметь общий «контакт» с TXREFCK.
RXS	Из линии в систему	Сигнал RXS <sup>3</sup> передаёт данные состояния от Serdes процессору FEC, от процессора FEC блоку кадрирования SONET/SDH или от Serdes напрямую блоку кадрирования SONET/SDH. Кодирование RXS имеет вид RXS = 'b0: Idle, RXS = 'b1: Receive alarm, Сигнал Receive alarm должен указывать, что RXDATA не был получен из принятого оптического сигнала. Тип электрического ввода-вывода должен быть LVCMOS. Устройство-источник приёмного интерфейса обязано генерировать RXS. Для устройства-получателя (sink) использование RXS не обязательно. Сигнал RXS является асинхронным.

<sup>1</sup>Receive Deskew Channel - канал выравнивания перекоса (Deskew) на приёме.

<sup>2</sup>Receive Reference Clock - опорная синхронизация приёма.

<sup>3</sup>Receive Status - состояние приёма.

## 6.2 Передаваемые сигналы

Передаваемые сигналы (Transmit) относятся к транспортировке данных из системы в оптические линии. Они применимы к передаче данных от блока кадрирования к процессору FEC, от процессора FEC к блоку Serdes или от блока кадрирования напрямую к Serdes. Все сигналы Transmit, если явно не указано иное, являются дифференциальными CML, как определено в спецификации OIF-CEI-02.0 [1].

Таблица 2. Передаваемые сигналы SFI-5.2.

Сигнал	Направление	Назначение
TXDATA [3:0]	Из системы в линию	Сигналы передачи данных (TXDATA [3:0]) переносят данные из системы в оптические линии. Данные в TXDATA [3:0] помещаются в передаваемый оптический поток в режиме кругового перебора (round-robin). TXDATA [3] содержит первый передаваемый бит, когда в TXDATA [0] находится последний переданный бит. При выравнивании TXDATA [3:0] по квартетам TXDATA [3] содержит первый бит полубайта, тогда как TXDATA [0] содержит последний бит переданного полубайта. Каждый сигнал TXDATA [#] является потоком со скоростью от 9,95 до 11,1 Гбит/с. Он содержит каждый 4-й бит передаваемого потока данных. Сигнал TXDATA [3:0] привязан по частоте к сигналу TXREFCK с заданным максимальным перекосом между всеми каналами. Опционально TXDATA[#] может инвертироваться в течение каждой нечётной половины кадра deskew для 5 выборок данных.
TXDSC	Из системы в линию	Сигнал TXDSC <sup>1</sup> обеспечивает опорные данные для измерения «перекоса» на передающей шине данных (TXDATA [3:0]) между процессором FEC и блоком кадрирования. TXDSC представляет собой поток данных от 9,95 до 11,1 Гбит/с. TXDSC содержит 10-битовые опорные кадры, состоящие из 4 однобитовых выборок для каждого сигнала на шине данных Transmit <sup>2</sup> (TXDATA [3:0]), за которыми следует бит чётности (нечётность) 4 выборки, а затем 4 дополнительных выборки каждого сигнала на шине данных Transmit <sup>2</sup> , за которыми следуют биты чётности (чётность) 4 выборки. Выборки выполняются на шине данных Transmit в режиме перебора по кругу (round-robin), начиная с TXDATA [3] и заканчивая TXDATA [0]. TXDSC представляет собой поток данных от 9,95 до 11,1 Гбит/с. В случае необязательной инверсии данных (см. параграф 9.2) выборки выполняются после инверсии.
TXREFCK	Из системы в линию	Сигнал опорной частоты TXREFCK <sup>3</sup> обеспечивает эталонную частоту для устройств пути передачи данных (Framer, FEC, Serdes). TXREFCK номинально составляет 50% рабочего цикла с частотой в 1/16 от скорости передачи данных TXDATA и TXDSC. TXDATA и TXDSC должны быть привязаны по частоте к TXREFCK. Статический сдвиг фазы между TXDSC и TXDATA не задаётся. Устройства в цепочке передачи (Transmit) должны иметь внешний источник синхронизации, соединённый с TXREFCK.

## 7 Логическая эталонная модель

### 7.1 Приёмный интерфейс Serdes

На рисунке 2 показана логическая модель интерфейса приёма данных (Receive) для первого канала или волокна в блоке Serdes. Схема служит иллюстрацией источника данных в канале устранения перекосов (RXDSC). Для реализации устройства ограничений не задаётся, и модель не представляет реальных устройств.

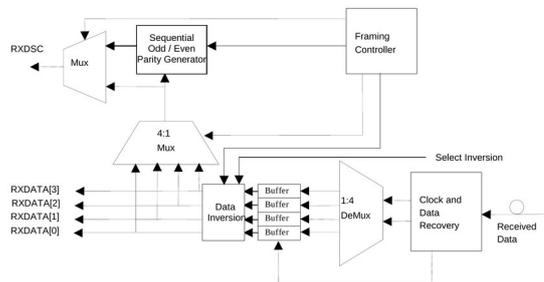


Рисунок 2. Serdes - приёмный интерфейс.

Данные оптического потока из каждого волокна извлекаются в 4-битовые последовательности шины данных приёма (RXDATA [#]) путём кругового перебора. Первый бит, полученный из волокна, записывается в буфер ресинхронизации, связанный с RXDATA [3], а последний - в буфер, связанный с RXDATA [0]. Буферы ресинхронизации действуют как набор буферов FIFO, создавая мост между доменом оптической синхронизации и доменом синхронизации приёмного интерфейса. Буферы ресинхронизации компенсируют временные сдвиги между битовыми линиями.

Может применяться инверсия данных для обращения 5 последовательных выборок в течение нечётной половины кадра deskew, как описано в параграфе 9.2.

RXDSC циклически реплицирует биты данных, переданные в каждой линии приёмной шины данных RXDATA [3:0]. Сначала делается выборка каждого сигнала RXDATA [#] по одному биту. Выборка битов начинается с RXDATA [3] и завершается в RXDATA [0]. Затем следует соответствующий бит чётности (нечётность) для выборок из 4 каналов данных, созданный блоком генерации чётности (parity generator). После этого снова выполняется выборка каждого сигнала RXDATA [#] по 1 биту. Выборка битов начинается с RXDATA [3] и завершается в RXDATA [0]. Затем следует соответствующий бит чётности (чётность) для выборок из 4 каналов данных, созданный блоком генерации чётности.

<sup>1</sup>Transmit Deskew Channel - канал устранения перекосов (Deskew) при передаче.

<sup>2</sup>В оригинале ошибочно указана шина Receive. Прим. перев.

<sup>3</sup>Transmit Frequency Reference - опорная частота передачи.

После того, как все 10 битов переданы, создаётся новый опорный кадр RXDSC и процесс продолжается. Иллюстрация процесса приведена на рисунке 3.

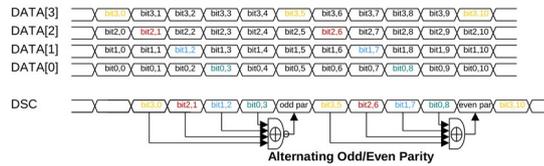


Рисунок 3. Синхронизация канала Deskew.

### 7.2 Передающий интерфейс Serdes

На рисунке 4 показана логическая модель интерфейса передачи блока Serdes. Схема иллюстрирует алгоритм Deskew, управляемый каналом TXDSC. Для реализации устройства ограничений не задаётся, и модель не представляет реальных устройств.

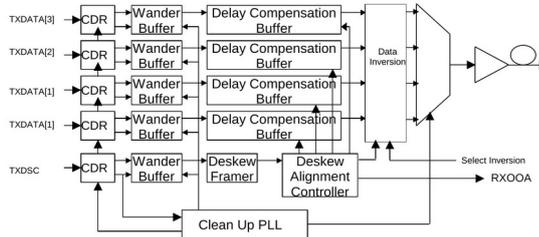


Рисунок 4. Serdes - интерфейс передачи.

Блоки синхронизации (Clock) и восстановления данных (CDR) отслеживают центр «глаза» шины передачи данных (Transmit) TXDATA [#] и сигнала TXDSC. Мост «блуждающих» (wander) буферов соединяет домен системной синхронизации и домен «чистой» (с малыми вариациями) синхронизации линии. Буферы компенсации устраняют временные сдвиги между битовыми линиями.

Назначением блока кадрирования Deskew является распознавание чередующихся битов кадрирования чётности (чётность-нечётность) на канале TXDSC. Это указывает позиции опорных битов данных, которые реплицируются из каждого TXDATA [3:0]. Каждый бит TXDATA поочередно сравнивается с выбранным битом данных канала Deskew в соответствии с таблицей 3 (сверху вниз) (см. также рисунок 3).

Сигнал нарушения выравнивания RXOOA<sup>1</sup> устанавливается, если не найдено соответствия для любого из 4 каналов данных. Если соответствие обнаружено для всех 4 каналов данных и определён стабильный «перекос» (skew), алгоритм Deskew считается выполненным (locked) и сигнал RXOOA сбрасывается. Измерения перекаса отслеживаются непрерывно. Сигнал RXOOA остаётся сброшенным, пока генерируются согласованные данные «перекаса».

Контроллер выравнивания перекаса (Deskew Alignment Controller) постоянно сравнивает данные канала TXDSC с соответствующими каналами данных TXDATA [3:0]. Могут обнаруживаться любые ошибки и генерироваться сигналы на интерфейсе SFI-5.2. Сигналы об ошибках следует использовать как часть минимальных требований к тестированию интерфейса.

Может применяться инверсия данных для повторного обращения (re-invert) 5 последовательных выборок в течение нечётной половины кадра deskew, как описано в параграфе 9.2.

### 7.3 Приёмный интерфейс процессора FEC/блока кадрирования

На рисунке 5 показана модель приёмного интерфейса процессора FEC или блока кадрирования. Схема иллюстрирует работу алгоритма Deskew, контролируемого каналом RXDSC. Для реализации устройства ограничений не задаётся, и модель не представляет реальных устройств.

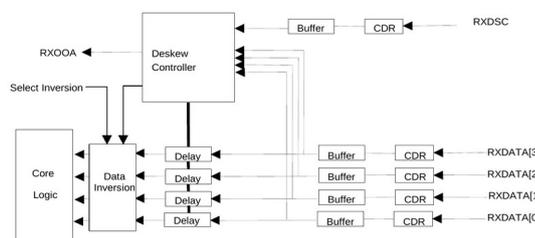


Рисунок 5. Модель процессора FEC/блока кадрирования SONET - приёмный интерфейс.

Блоки синхронизации (Clock) и восстановления данных (CDR) отслеживают центр «глаза» приёмной шины данных (Receive) RXDATA [#] и сигнала RXDSC. Мост буферов ресинхронизации (re-timing) соединяет домен системной синхронизации и домен синхронизации приёмного интерфейса (Receive). Буферы ресинхронизации устраняют временные сдвиги между битовыми линиями.

Назначением блока контроллера Deskew является распознавание чередующихся битов кадрирования чётности (чётность-нечётность) на канале RXDSC. Это указывает позиции опорных битов данных, которые реплицируются из каждого RXDATA [3:0]. Каждый канал RXDATA поочередно сравнивается с выбранным битом данных канала Deskew в соответствии с таблицей 3 (сверху вниз) (см. также рисунок 3<sup>2</sup>).

Сигнал нарушения выравнивания RXOOA устанавливается, если не найдено соответствия для любого из 4 каналов данных. Если соответствие обнаружено для всех 4 каналов данных и определён стабильный «перекос» (skew),

<sup>1</sup>Out-of-alignment alarm.

<sup>2</sup>В оригинале ошибочно дана ссылка на рисунок 1. Прим. перев.

алгоритм Deskew считается выполненным (locked) и сигнал RXOOA сбрасывается. Измерения перекоса отслеживаются непрерывно. Сигнал RXOOA остаётся сброшенным, пока генерируются согласованные данные «перекоса».

Контроллер перекоса (Deskew Controller) постоянно сравнивает данные канала RXDSC с соответствующими каналами данных RXDATA [3:0]. Могут обнаруживаться любые ошибки и генерироваться сигналы на интерфейсе SFI-5.2. Сигналы об ошибках следует использовать как часть минимальных требований к тестированию интерфейса.

Может применяться инверсия данных для повторного обращения (re-invert) 5 последовательных выборок в течение нечётной половины кадра deskew, как описано в параграфе 9.2.

## 7.4 Передающий интерфейс процессора FEC/блока кадрирования

На рисунке 6 приведена модель передающего интерфейса в процессоре FEC или блоке кадрирования SONET/SDH. Схема иллюстрирует источник данных для канала Deskew при передаче. Для реализации устройства ограничений не задаётся, и модель не представляет реальных устройств.

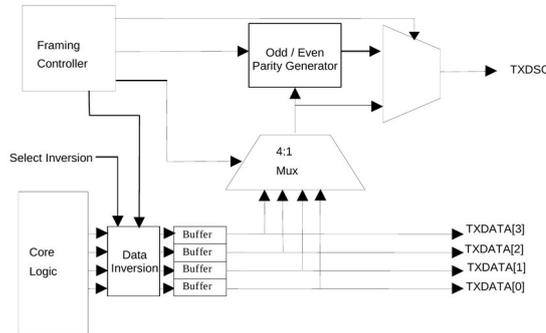


Рисунок 6. Модель процессора FEC/блока кадрирования SONET - передающий интерфейс.

Данные из ядра процессора FEC или блока кадрирования выбираются из 4-битовых линий первого канала шины передачи данных TXDATA [3:0] путём перебора по кругу (round-robin). Первый принятый бит записывается в буфер ресинхронизации, связанный с TXDATA [3], а последний - в буфер, связанный с TXDATA [0]. Буферы ресинхронизации выступают в качестве буферов FIFO между доменом синхронизации логического ядра и доменом синхронизации передающего интерфейса (Transmit).

Может применяться инверсия данных для обращения 5 последовательных выборок в течение нечётной половины кадра deskew, как описано в параграфе 9.2.

TXDSC циклически реплицирует биты данных, переданные в каждой линии шины передачи данных TXDATA [3:0]. Сначала делается выборка каждого сигнала TXDATA [#] по одному биту. Выборка битов начинается с TXDATA [3] и завершается в TXDATA [0]. Затем следует соответствующий бит чётности (нечётность) для выборок из 4 каналов данных, созданный блоком генерации чётности (parity generator). После этого снова выполняется выборка каждого сигнала TXDATA [#] по 1 биту. Выборка битов начинается с TXDATA [3] и завершается в TXDATA [0]. Затем следует соответствующий бит чётности (чётность) для выборок из 4 каналов данных, созданный блоком генерации чётности. После того, как все 10 битов переданы, создаётся новый опорный кадр TXDSC и процесс продолжается. Иллюстрация процесса приведена на рисунке 3.

## 8 Устранение перекосов битовых линий SFI-5.2

В процессе работы сигналы данных могут сталкиваться с различными задержками при передаче от устройства-источника SFI-5.2 к приёмному устройству (sink). Максимальный дифференциальный перекоса (skew), вносимый системой соединений, задан в параграфе 8.2. Самый ранний сигнал может отличаться от пришедшего последним на  $n$  битов. Относительно самого раннего сигнала каждый из оставшихся совпадает с ним или отстаёт до  $n$  битовых интервалов. Пространство поиска для определения относительных задержек для пяти сигналов в SFI 5.2 составляет  $(n+1) * 5$  комбинаций. Для решения проблемы в SFI-5.2 используется опорный сигнал, называемый каналом устранения перекосов (Deskew Channel), позволяющий независимо измерять задержку в каждой битовой линии относительно опорного сигнала. Благодаря независимому измерению задержек отдельных сигналов пространство поиска становится исчезающе малым.

Функция Deskew для битовых линий совместно используется источником SFI-5.2 и получателем на обеих сторонах приёмного и передающего интерфейсов. В устройстве-источнике выборка данных выполняется для каждого из 4 каналов данных последовательно и результаты копируются в канал Deskew, который передаётся вместе с 4 каналами данных получателю (sink) через интерфейс SFI-5.2.

Входные данные принимающего устройства (sink) будут «перекошены» разными задержками в каждом из каналов данных. Работающий на приёмном устройстве алгоритм Deskew измеряет величину перекоса на каждом канале данных и применяет эту информацию для компенсации задержек. Алгоритм Deskew битовой линии будет выполнять измерение начального перекоса при включении питания или подключении системы. После этого измерения перекоса условия могут измениться, изменив и величину перекоса. Поэтому от устройств, соответствующих данной спецификации, требуется способность отслеживать изменения перекоса от минимального до максимального значения без генерации ошибок. Алгоритм Deskew будет работать постоянно в процессе нормальной работы интерфейса SFI-5.2 и непрерывно отслеживать величину перекоса.

В таблице 3 показан эталонный кадр приёмного (RXDSC) или передающего (TXDSC) канала Deskew. RX/TXDSC циклически реплицирует биты данных, переданные в каждом сигнале шины данных RX/TXDATA [3:0]. Сначала делается выборка по одному биту каждого сигнала RX/TXDATA [#] поочередно, начиная с RX/TXDATA [3] и заканчивая RX/TXDATA [0]. После этого следует соответствующий бит чётности (нечётность) для выборки из 4 каналов данных, создаваемый генератором чётности (parity generator). После этого снова выполняется выборка по одному биту сигналов RX/TXDATA [#] поочередно, начиная с RX/TXDATA [3] и заканчивая RX/TXDATA [0]. Затем следует бит чётности (чётность) для выборки из 4 каналов данных, создаваемых генератором чётности. После передачи всех 10

битов создаётся новый эталонный кадр для RX/TXDSC и процесс продолжается непрерывно. В таблице 3 последовательность процесса соответствует направлению сверху вниз (см. также рисунок 3).

Таблица 3. Эталонный кадр RXDSC/TXDSC.

Бит	Значение	Комментарий
1	R/TXDATA [3] бит 0	Один бит из RXDATA [3] или TXDATA [3]
2	R/TXDATA [2] бит 1	Один бит из RXDATA [2] или TXDATA [2]
3	R/TXDATA [1] бит 2	Один бит из RXDATA [1] или TXDATA [1]
4	R/TXDATA [0] бит 3	Один бит из RXDATA [0] или TXDATA [0]
5	Нечётность	Бит чётности (нечётность) создаётся для 4 предшествующих битов канала deskew (биты 1 – 4)
6	R/TXDATA [3] бит 5	Один бит из RXDATA [3] или TXDATA [3]
7	R/TXDATA [2] бит 6	Один бит из RXDATA [2] или TXDATA [2]
8	R/TXDATA [1] бит 7	Один бит из RXDATA [1] или TXDATA [1]
9	R/TXDATA [0] бит 8	Один бит из RXDATA [0] или TXDATA [0]
10	Чётность	Бит чётности (чётность) создаётся для 4 предшествующих битов канала deskew (биты 6 – 9)

### 8.1 Приёмный интерфейс Deskew

Для приёмного интерфейса эталонный кадр создаётся в устройстве-источнике и содержит 4 бита выборки данных, за которыми следует бит чётности (нечётность), затем ещё 4 бита выборки и ещё один бит чётности (чётность). Выборка битов данных выполняется из каждой приёмной шины данных RXDATA, как указано в таблице 3, сверху вниз (см. также рисунок 3).

Эталонные кадры передаются непрерывно через приёмный интерфейс для того, чтобы алгоритм Deskew в принимающем устройстве мог вести постоянный мониторинг перекоса.

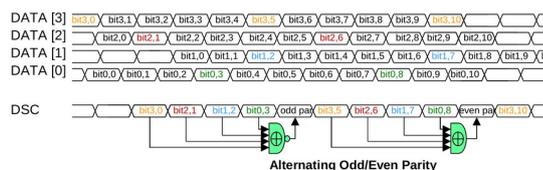


Рисунок 7. Синхронизация канала RXDSC.

Принимающее устройство (sink) отслеживает канал RXDSC для получения опорных данных. Следует отрегулировать задержку каждого RXDATA [#] на уровне интервала так, чтобы задержки всех сигналов на пути от устройства-источника до выхода буферов ресинхронизации принимающего устройства были идентичны. Когда перекосы всех каналов данных скомпенсированы и каналы согласованы (locked), сигнал RXOOA сбрасывается. Пока алгоритм Deskew согласует каналы данных, приёмный интерфейс (Receive) находится в несогласованном состоянии (out-of-alignment) и сигнал RXOOA установлен. Алгоритм Deskew будет продолжать работу после сброса RXOOA. В нормальных условиях интерфейс будет работать постоянно, отслеживая состояние перекоса, а сигнал RXOOA будет оставаться выключенным. При возникновении отказа алгоритма Deskew и рассогласовании любого из каналов данных устанавливается сигнал RXOOA. Таким образом, RXOOA является индикатором мониторинга перекоса каналов.

### 8.2 Бюджет перекоса на интерфейсе

В OIF-CEI-02.0 [1] перекоп RX и TX между каналами (на выводах модуля) определяется как не превышающий 500 пикосек или 5,50 UI при скорости 11,1 Гбит/с. Эти значения обусловлены прежде всего стремлением упростить устройство высокоскоростного интерфейса КМОП (CMOS). В биполярных технологиях, используемых для Serdes, значения этих параметров можно задать значительно меньше. Эта информация может использоваться для существенного уменьшения размера буферов deskew в блоках Serdes (и, следовательно, существенного снижения энергопотребления). Для оптимизации концепции компенсации перекосов (deskew) для устройств Serdes трассировка печатных плат (PCB) и соединений от процессора FEC или блока кадрирования к Serdes (точка R<sub>es</sub> на рисунке 1) должна задаваться с ограниченным бюджетом перекосов. Этот бюджет в основном определяет требуемый размер внутреннего буфера Serdes для компенсации перекосов. Бюджет перекоса для этого интерфейса показан в таблице 4.

Таблица 4. Бюджет перекоса для канала между процессором FEC или блоком кадрирования и Serdes.

Источник перекоса	Бюджет перекоса при 11,1 Гбит/с	Бюджет перекоса [ps]
Интерфейс CEI TX на контактах сборки	5.50 UI	500
Плата и разъем	0.6 UI	50
Вход Serdes	0.6 UI	50
Всего	6.70 UI	600

Для всех применений этого интерфейса, где устройства КМОП принимают канал deskew, размер буфера компенсации перекосов является не самым важным. Поэтому для таких приложений бюджет печатных плат и соединений можно определить весьма мягко, а возможности компенсации перекосов для этого метода deskew практически не ограниченными. Смягчённые требования к бюджету перекосов для таких приложений даны в таблице 5.

Таблица 5. Бюджет перекоса для остальных применений интерфейса.

Источник перекоса	Бюджет перекоса при 11,1 Гбит/с	Бюджет перекоса [ps]
Интерфейс CEI TX на контактах сборки	5.50 UI	500
Плата и разъем	5.50 UI	500
Вход Serdes	5.50 UI	500
Всего	16.50 UI	1500

Полный бюджет вариаций задержки, отклонений и перекосов (Jitter/Wander/Skew) указан в Приложении А.

## 9 Проблема слова выравнивания кадра OC-768/STM-256

### 9.1 Описание проблемы

Рассматриваемая в этом разделе проблема не связана с методом компенсации перекосов, описанным в документе в целом, и относится к формату одного из целевых предложений для этого интерфейса (формат кадров SONET/SDH).

Для других целевых приложений типа кадров OTU3 или тестовых последовательностей PRBS данная проблема не возникает при работе по 4 линиям.

Побитовое распределение сигналов OC-768/STM-256 по 4 линиям приводит к возникновению проблемы, связанной с 64 нескремблированными шаблонами выравнивания кадров SONET/SDH (A1=0xF6, A2=0x28). Это ведёт к возникновению длинных последовательностей 1 или 0 в отдельных сигнальных линиях.

При распределении по 4 линиям слово выравнивания кадра OC-768/STM-256 (64 нескремблированных A1, за которыми следуют 64 нескремблированных A2) выглядит, как показано на рисунке 8.

```

...F6F6F6F6F6F6 | 282828282828 ...
...101010101010 | 010101010101 ...      о.к.      |      о.к.
...111111111111 | 000000000000 ...      128 последовательных 1 | 128 последовательных 0
...111111111111 | 101010101010 ...      128 последовательных 1 |      о.к.
...101010101010 | 000000000000 ...      о.к.      |      128 последовательных 0

```

Рисунок 8. Последовательности одинаковых цифр в нескремблированном кадре SONET/SDH.

Таким образом, для некоторых из 4 сигнальных линий картина результирующего слова кадра будет более сложной для восстановления синхронизации (CDR) на приёмной стороне, чем обычно указываемые 72 совпадающих цифры (CID) для SONET/SDH. Изменения шаблона выравнивания кадров, создаваемые сдвигом битов, снова приводят к 128-битовым CID на разных линиях данных. Фактическая длина (run length) зависит от значений, используемых для байтов перед первым байтом A1 и после последнего байта A2. Моделирование со всеми 0 или всеми 1, а также 0xF6/0x28 показывает 131-битовые CID. К сожалению стандарт оставляет использование байтов перед первым A1 и после последнего A2 открытым для будущей стандартизации. Это указывает, что 131-битовые CID могут быть даже превышены при неудачном использовании этих байтов.

Одно из решений этой проблемы обеспечивается предложенным форматом канала компенсации перекосов (deskew). Поскольку канал имеет гарантированную скорость переключения (1 раз за 10 циклов), он может применяться для восстановления синхронизации на канале deskew и обходиться на линиях данных лишь настройкой фазы.

## 9.2 Инверсия 5 полубайтов (нечётная половина кадра deskew)

Для решения проблемы CID следует использовать простую в реализации инверсию 5 полубайтов данных на кадр deskew, при выборке битов сигнала OC-768/STM-256 в 4 линиях данных. Преимущество обращения половины кадра deskew заключается в том, что в дополнение к решению проблемы CID это позволяет повысить сбалансированность уровней (dc) в слове кадра сигналов OC-768/STM-256.

Инверсию следует выполнять до выборки deskew в нечётной половине кадра deskew. Это означает, что инвертированные биты данных попадают в сигнал deskew и используются для определения чётности (нечётность).

Счётчик кадров deskew может использоваться для определения позиции повторного инвертирования битов данных после получения и устранения перекосов (de-skewing) на другой стороне канала SFI-5.2.

Иллюстрация процесса приведена на рисунке 9.

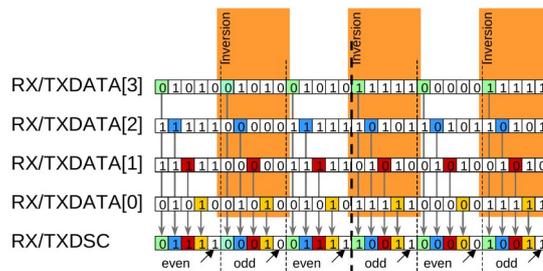


Рисунок 9. Выборка битов A1/A2 с инверсией в нечётной половине кадра deskew.

Эту инверсию битов данных следует делать управляемой и включать для приложений OC-768/STM-256. Например, для упрощения реализации длинных последовательностей PRBS с современным тестовым оборудованием эту функцию можно отключить, поскольку она не требуется для этого типа сигналов (проблемы CID не возникает для сигналов PRBS).

Тем не менее, можно включать инверсию для всех других приложений, поскольку она не оказывает негативного влияния на сигналы типа OTU-3 или PRBS, которые не сталкиваются с проблемой CID при выборке из 4 линий данных.

## 10 Разводка контактов для оптимизации печатных плат SFI-5

Чтобы избежать пересечений 5 критических дифференциальных линий 11,1 Гбит/с на печатной плате, следует обеспечивать показанный ниже порядок контактов на интерфейсах устройств SFI-5.2 TXDATA\_SRC/TXDATA\_SNK [3:0] и TXDSC\_SRC/TXDSC\_SNK, а также на приемопередатчиках.



Рисунок 10. Линии между устройством SFI-5.2 и приемопередатчиком.

Такой же порядок следует поддерживать в направлении RX для сигналов RXDATA\_SRC/RXDATA\_SNK[3:0] и RXDSC\_SRC/RX\_DSC\_SNK.



Рисунок 11. Соединение устройств SFI-5.2.

## 11 Требования к тестированию интерфейса

Требованием к интерфейсам SFI-5.2 является непрерывная работа в течение неограниченного времени без ошибок. Определён минимальный набор тестовых требований для индикации корректности настройки интерфейса и мониторинга себя в плане непрерывной надёжной работы. Ниже перечислены функции, требуемые для поддержки минимального набора тестов.

1. Подтверждение того, что каждый из 4 каналов данных корректно подключён в обоих направлениях Receive и Transmit. Контроллер Deskew в каждом направлении может реализовать эту функцию. Каналы Deskew (RXDSC и TXDSC) должны соответствовать каждому из каналов данных поочерёдно. Если наблюдается сохраняющееся несоответствие для любого из 4 каналов, должен устанавливаться сигнал RXOOA или TXOOA в направлении Receive или Transmit. Минимальным требованием является отслеживание каждого из этих сигналов. Можно включить функциональность индикации отказавшего канала, но это не требуется и определяется на уровне реализации.
2. Проверка того, что функция Deskew корректно компенсирует перекосы на интерфейсе SFI-5.2. Алгоритм Deskew измеряет уровень перекося на каждом канале данных в приёмном и передающем направлении, а также контролирует компенсацию задержки на каждом канале. Когда стабильное измерение задержки выполняется на каждом канале, интерфейс считается работающим нормально (in lock), а сигналы RXOOA и TXOOA сбрасываются. Это показывает, что компенсация Deskew работает нормально после включения питания и в процессе непрерывной работы.
3. Контроль ошибок в процессе непрерывной эксплуатации. Можно использовать каналы Deskew в направлениях приёма и передачи для обнаружения серьёзных ошибок на интерфейсе. Контроллер Deskew на принимающей стороне каждого интерфейса сравнивает реплицированные данные в канале Deskew с соответствующими данными в каждом канале данных. Это позволяет обнаруживать несоответствия в выборке данных. Интерфейс должен непрерывно контролировать отсутствие таких ошибок. Процедура информирования о таких ошибках выходит за рамки спецификации SFI-5.2, но её следует включать в число функций управления.

## 12 Ссылки

### 12.1 Нормативные документы

[1] Optical Internetworking Forum [OIF-CEI-02.0](#), “ Common Electrical I/O (CEI) – Electrical and Jitter Interoperability agreement for 6G+ bps and 11G+ bps I/O”.

### 12.2 Дополнительная литература

[2] ANSI - T1.105-1995, “Synchronous Optical Network (SONET) – Basic Description including Multiplex Structure, Rates, and Formats”, 1995.

[3] ITU-T, Recommendation [G.707/Y.1322](#) - "Network Node Interface For The Synchronous Digital Hierarchy", Dec 2003.

[4] ITU-T, Recommendation [G.709/Y.1331](#) – “Interfaces for the Optical Transport Network (OTN)”, Mar 2003.

## 13 Приложение А. Полный бюджет Jitter/Wander/Skew

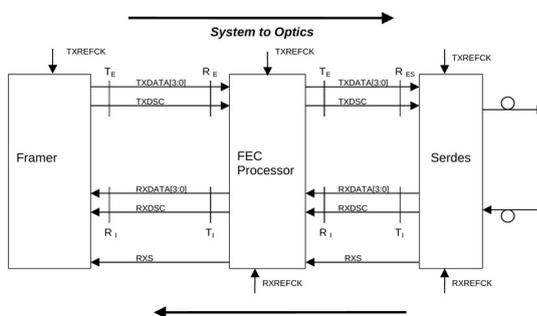


Рисунок 12. Модель эталонной системы.

Таблица 6. Полный бюджет Jitter/Wander/Skew.

Параметр	Тип сигнала	Точки системы	Единицы
		$T_i/T_e$ $R_i/R_e$ $R_{es}$	
Перекося	Данные	5.50 11.00 6.10	Пик UI
Согласованное отклонение	Любой	5.00 7.00 7.00	UI от пика до пика
Несогласованное отклонение	Любой	0.65 0.75 0.75	UI от пика до пика
Общее отклонение	Любой	5.65 5.75 5.75	UI от пика до пика
Относительное отклонение	Любой	1.30 1.50 1.50	UI от пика до пика
Перекося + (относительное отклонение)/2	Любой	6.15 11.75 6.85	UI от пика до пика
Детерминированные флуктуации	Данные	0.15	UI от пика до пика
Общие флуктуации	Данные	0.30 0.65 0.65	UI от пика до пика

**14 Приложение В. Глоссарий**

CEI	Common Electrical I/O - общий (базовый) электрический ввод-вывод.
CDR	Clock Data Recovery - восстановление синхронизации данных
CID	Consecutive Identical Digits - последовательные идентичные цифры.
CML	Current Mode Logic - логика текущего режима.
CWDM	Coarse Wavelength Division Multiplexing - грубое мультиплексирование по длинам волн.
DLL	Delay Locked Loop - цикл с согласованной задержкой.
FEC	Forward Error Correction - упреждающий контроль ошибок.
FIFO	First In First Out Buffer - «первым вошёл - первым вышел», или очередь.
LVC MOS	Low Voltage CMOS - КМОП с низким напряжением питания.
MMF	Multi Mode Fiber - многомодовое волокно.
OC-N	Optical Carrier of level N - оптическая несущая уровня N.
OTN	Optical Transport Network - оптическая транспортная сеть.
OTU-N	Optical Transport Unit of level N - оптическая транспортная сеть уровня N.
PCB	Printed Circuit Board - печатная плата.
PLL	Phase Locked Loop - цикл с согласованной фазой.
PRBS	Pseudo Random Binary Sequence - двоичная псевдослучайная последовательность.
RX	Receive - приём.
SDH	Synchronous Digital Hierarchy - синхронная цифровая иерархия.
SERDES	Serializer De-serializer - преобразователь последовательных сигналов в параллельные и обратно.
SFI	SERDES Framing Interface - интерфейс кадрирования SERDES.
SMF	Single Mode Fiber - одномодовое волокно.
SONET	Synchronous Optical Network - синхронная оптическая сеть.
STM-N	Synchronous Transport Module of level N - синхронный транспортный модуль уровня N.
TX	Transmit - передача.

**15 Приложение С. Нерешенные проблемы и продолжение работ****16 Приложение D. Список компаний, входивших в OIF на момент одобрения документа**

ADVA Optical Networking	CoreOptics	IP Infusion
Agere Systems	Cortina Systems	JDSU
Agilent Technologies	Data Connection	KDDI R&D Laboratories
Alcatel	Department of Defense	Kodeos Communications
Altera	Deutsche Telekom	KT Corporation
AMCC	Ericsson	LSI Logic
Ample Communications	Essex Corporation	Lucent
Analog Devices	Finisar Corporation	Mercury Computer Systems, Inc
Anritsu	Flextronics	MergeOptics GmbH
Apogee Photonics, Inc.	Force 10 Networks	Mintera
AT&T	Foxconn	MITRE Corporation
Azna	Freescale Semiconductor	Mitsubishi Electric Corporation
Bay Microsystems	Fujitsu	Molex
Bookham	Hi/fn	Motorola
Booz-Allen & Hamilton	Huawei Technologies	NEC
Broadcom	IBM Corporation	Nortel Networks
China Telecom	IDT	NTT Corporation
Ciena Corporation	Infinera	Opnext
Cisco Systems	Intel	OpVista Inc

Orange World	Silicon Logic Engineering	Texas Instruments
Paxera Corp	StrataLight Communications	Time Warner Cable
PMC Sierra	Sun Microsystems, Inc.	Transwitch Corporation
Radisys Corp	SwitchCore AB	Tyco Electronics
Redfern Integrated Optics, Inc.	Sycamore Networks	Verizon
RSoft Design Group, Inc.	Syntune	Vitesse Semiconductor
Sandia National Laboratories	Tektronix	Xilinx
Santur	Telcordia Technologies	ZTE Corporation
Scintera Networks	Telecom Italia Lab	
Siemens	Tellabs	

**Перевод на русский язык**

Николай Малых

[nmalykh@protokols.ru](mailto:nmalykh@protokols.ru)